

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP1152642 (A)

Publication date: 1989-06-15

Inventor(s): TASAI SADAJI +

Applicant(s): NEC CORP +

Classification:

- international: **G11C11/401; H01L21/82; H01L21/822; H01L27/04; H01L27/118; H03K19/177; G11C11/401; H01L21/70; H01L27/04; H01L27/118; H03K19/177;**
(IPC1-7): H01L21/82; H01L27/04; H03K19/177

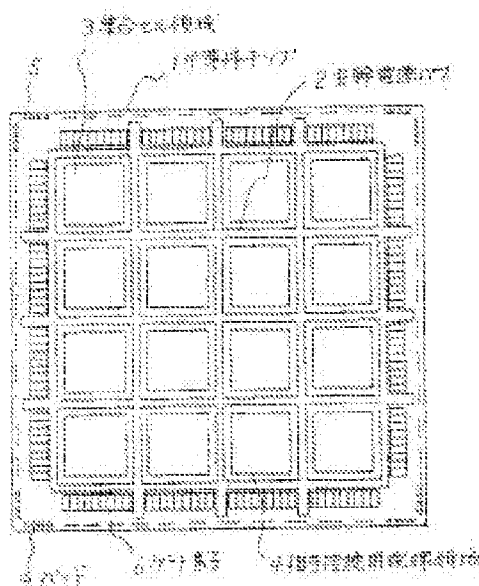
- european: H01L27/118

Application number: JP19870312831 19871209

Priority number(s): JP19870312831 19871209

Abstract of JP 1152642 (A)

PURPOSE: To improve the characteristic of delay time of signal propagation produced owing to capacitance and resistance of a signal wiring by providing logical circuit forming regions, each of which comprises a plurality of rows and columns with use of main power supply buses formed in the shape of a lattice, and providing an assembly cell region including groups of transistors and resistors enough to form each logical circuit. **CONSTITUTION:** Main power supply buses 2 are provided in the shape of a lattice on one principal surface of a semiconductor chip 1. Logical circuit forming regions are provided, which are partitioned in the form of a matrix with use of the main power supply buses 2. Further, an assembly cell region 3, which includes transistors and resistors for forming the logical circuits, is formed on the center of the logical circuit forming region. And, a signal connecting wiring region 4 of the assembly cell region 3 is formed on the outer periphery of the assembly cell region 3 of the logical circuit forming region. The semiconductor chip 1 is adapted to included on the peripheral edge thereof a power supply and an input/output signal connecting pad 5, further including an output gate element 6 adjoining to the main power supply bus 2 on the inner periphery of the pad 5.



⑫ 公開特許公報(A)

平1-152642

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 平成1年(1989)6月15日

H 01 L 21/82
27/047925-5F
D-7514-5F
U-7514-5F
7328-5J

審査請求 未請求 発明の数 1 (全5頁)

H 03 K 19/177

⑰ 発明の名称 半導体集積回路

⑱ 特 願 昭62-312831

⑲ 出 願 昭62(1987)12月9日

⑳ 発 明 者 太 細 貞 治 東京都港区芝5丁目33番1号 日本電気株式会社内
 ㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉒ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半導体チップの一主面に格子状に設けた主幹電源バスと、前記主幹電源バスにより区画し行列状に配置した論理回路形成領域と、前記論理回路形成領域の中央部に設けて論理回路形成用のトランジスタ及び抵抗を配置した集合セル領域と、前記論理回路形成領域の前記集合セル領域外周に設けた前記集合セル領域間の信号接続用配線領域と、前記半導体チップの周縁部に配置して設けた電源及び入出力信号接続用パッドと、前記パッドの内周の前記主幹電源バスに隣接して設けた出力用ゲート素子とを有することを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特にマスタースライス方式の半導体集積回路に関する。

〔従来の技術〕

従来、この種のマスタースライス方式の半導体集積回路は、第5図にその一例を示すように、半導体チップ1の中央に論理回路セル7を行列状に配列して設け、論理回路セル7を配置した行(又は列)の間にセル間配線領域8を設け、半導体チップ1の周縁部に電源及び入出力信号接続用パッド5を配列して設け、論理回路セル7とパッド5との間の領域に外部出力用ゲート素子6を配列して設けている。

〔発明が解決しようとする問題点〕

上述した従来の半導体集積回路は、搭載されるセルの数が增大するとともに、電気的特性の制約によりそれぞれのセルへの電圧印加のための電源配線を太くしなければならないため、セル寸法がより大きくなる傾向があった。また、搭載される論理回路の規模が大きくなるにつれて、それらを

構成するセルの配置に関し、配置位置がより広い領域にわたってくるので、それらのセル間配線長が益々増大して信号配線の形成用領域を広く必要とし、当該信号配線の配線容量が増大し、更に、微細化に伴ない配線抵抗が増大し、遅延時間特性が劣化するという欠点があった。

本発明の目的は、半導体チップ内の信号配線長を実効的に短縮し、論理回路セルの寸法を縮減して、搭載ゲート数の増加を可能とする半導体集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、半導体チップの一主面に格子状に設けた主幹電源バスと、前記主幹電源バスにより区画し行列状に配置した論理回路形成領域と、前記論理回路形成領域の中央部に設けて論理回路形成用のトランジスタ及び抵抗を配置した集合セル領域と、前記論理回路形成領域の前記集合セル領域外周に設けた前記集合セル領域間の信号接続用配線領域と、前記半導体チップの周縁部に配置して設けた電源及び入出力信号接続

用パッドと、前記パッドの内周の前記主幹電源バスに隣接して設けた出力用ゲート素子とを有するように構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の回路配置を示す半導体チップの平面図である。

第1図に示すように、半導体チップ1の一主面に格子状に配置した主幹電源バス2を設け、主幹電源バス2により行列状に区画された論理回路形成領域を設け、前記論理回路形成領域の中央部に論理回路形成用のトランジスタ及び抵抗を配置した集合セル領域3を形成し、前記論理回路形成領域の集合セル領域3の外周に集合セル領域3の信号接続用配線領域4を形成する。半導体チップ1の周縁部に電源及び入出力信号接続用パッド5を配列して設け、パッド5の内周の主幹電源バス2に隣接して出力用ゲート素子6を配列して設ける。ここで、出力用ゲート素子6は外部回路駆動

用として電流容量の大きなトランジスタ及び抵抗により構成するのが一般的である。また、第1図では、主幹電源バス2が1系統の場合を示しているが、2電源を使用する場合には主幹電源バス2は2系統に分割される。

第2図は第1図の論理回路形成領域の詳細な回路配置の第1の例を示す一部切欠平面図である。

第2図に示すように、主幹電源バス2により区画された論理回路形成領域内に、論理回路セル7を例えば18箇行方向に配列したものを列方向に19行配列し、各行間にセル間配線領域8を設けた集合セル領域3と、集合セル領域3の外周に設けた信号接続用配線領域4と、主幹電源バス2に接続した内部電源バス9を9列配列して設けている。

第3図は第1図の論理回路形成領域の詳細な回路配置の第2の例を示す平面図である。

第3図に示すように、主幹電源バス2により区画された論理回路形成領域内に、特定回路機能を満たすセル（以下機能セルと記す）10を適宜配

置し、それぞれの機能セル10への電源供給は、主幹電源バス2に接続した内部電源バス9によりそれぞれ行又は列方向に最短距離で接続する。

第4図は本発明の第2の実施例の回路配置を示す半導体チップの平面図である。

第4図に示すように、基本的構成は第1図に示した第1の実施例と同様であるが、集合セル領域11が集合セル領域3の4倍の面積を有しており、機能回路が集合セル領域3の領域内に収容しきれない場合、集合セル領域3の4倍に相当する集合セル領域11と集合セル領域11の外周に設けた信号接続用配線領域12からなる論理回路形成領域を設ける。但し、この場合も主幹電源バス2は第1の実施例と同様にレイアウトされる。

〔発明の効果〕

以上説明したように本発明は、半導体チップ上の周縁部に形成した電源及び入出力信号接続用パッドと出力用ゲート素子を除いた領域を、格子状に設けた主幹電源バスにより複数の行、列に区画した論理回路形成領域を設け、その各々に論理回

路の形成に充分なだけのトランジスタと抵抗群を有する集合セル領域と、集合セル領域の外周に信号接続用配線領域を設けることにより、次の様な効果を得ることができる。

第1点は、等価ゲート数が数千ゲートから数万ゲートと大規模なLSIを見てみると、いずれも数個から数十の機能ブロックにより形成されていることが多い。しかも各機能ブロックは、論理構成上の特色を持っている。例えば、フリップフロップを多用している回路、或いは排他論理を多用している回路、或いは単純なゲートのみの構成回路、等である。本発明では機能ブロック単位で集合セル領域を形成し、レイアウト上も半導体チップ全域に分散することなく、集合セル領域という1つの単位領域に集中させることにより、機能ブロック内の信号配線を集合セル領域内にて閉じ、その配線長を従来方式に比べて短くすることができるため、信号配線の配線容量、配線抵抗に伴なう信号伝搬遅延時間(tpd)特性の向上が可能となる。

第2点は、集合セル領域単位にて、その機能ブロックに応じた特徴あるレイアウト構造がとれることである。即ち、フリップフロップを多用している機能ブロックであれば、フリップフロップの性能を最優先にしたレイアウト構造とすることが出来るし、排他論理を多用している機能ブロックであれば、排他論理回路の性能を優先的に考慮したレイアウト構造とすることが出来る。或いは、集合セル領域を1つのRAM集合セルとしても良い。これらのことは、1つ1つの機能ブロックの回路性能の向上が図れるとともに、大型チップの開発にあたり、ブロック単位の分離設計が出来るという利点がある。

第3点は、いわゆるゲートアレイ構成の集合セル領域において、アレイ状に配列された論理回路セル(一般にはAND/NANDゲートが数ゲートにて構成されている)のサイズをより縮小できることである。即ち、従来の場合、チップ全域に配列されたセル列又はセル行を考慮して内部電源バスの幅の寸法が決定されるのに対し、本発明の

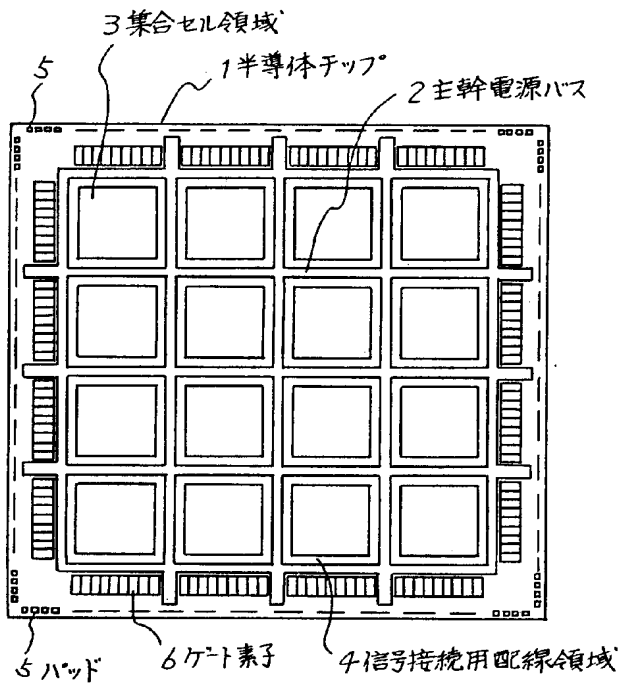
集合セル領域では、集合セル領域の周囲に主幹電源バスが配置されているので、集合セル領域内に配列されたセル列又はセル行を考慮して内部電源バスの幅が決定される為、セル内の電流を同じとした場合には、内部電源バスの幅の寸法が縮小される。この為に、セル内で大きな比重を占めていた特にバイポーラ系の論理回路セルが縮小され、故に、同一面積内に収納できる論理回路セル数が大幅に増大可能となる。

1…半導体チップ、2…主幹電源バス、3…集合セル領域、4…信号接続用配線領域、5…パッド、6…ゲート素子、7…論理回路セル、8…セル間配線領域、9…内部電源バス、10…機能セル、11…集合セル領域、12…信号接続用配線領域。

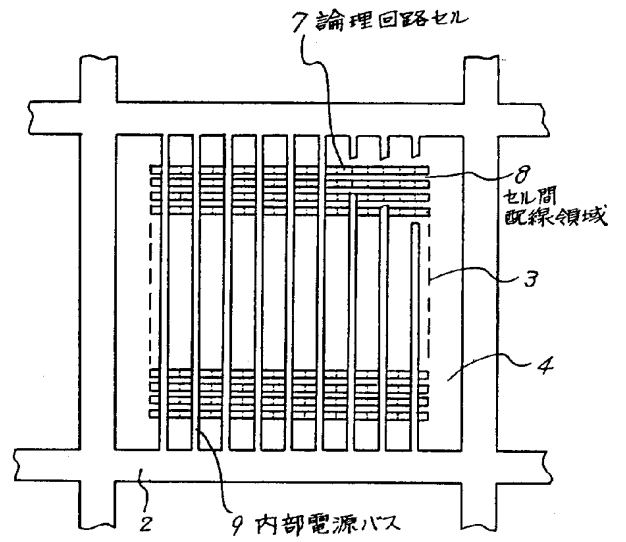
代理人 弁理士 内 原 晋

図面の簡単な説明

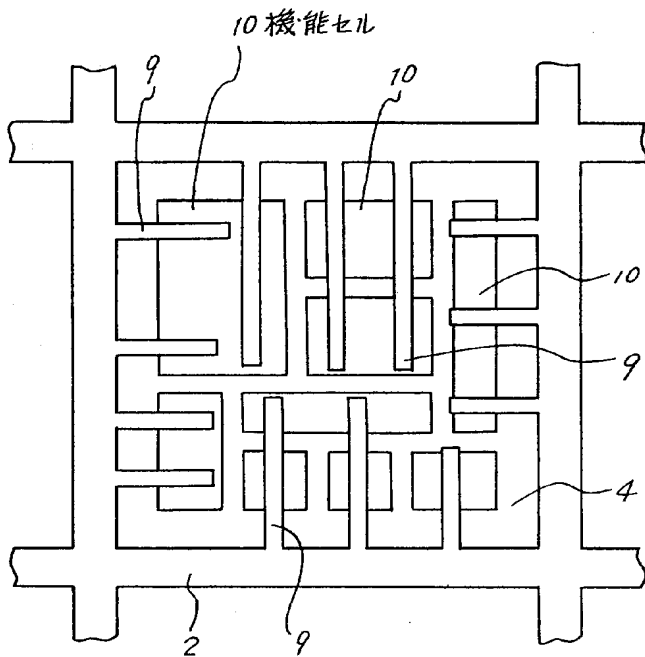
第1図は本発明の第1の実施例の回路配置を示す半導体チップの平面図、第2図は第1図の論理回路形成領域の詳細な回路配置の第1の例を示す一部切欠平面図、第3図は第1図の論理回路形成領域の詳細な回路配置の第2の例を示す平面図、第4図は本発明の第2の実施例の回路配置を示す半導体チップの平面図、第5図は従来の半導体集積回路の回路配置の一例を示す半導体チップの平面図である。



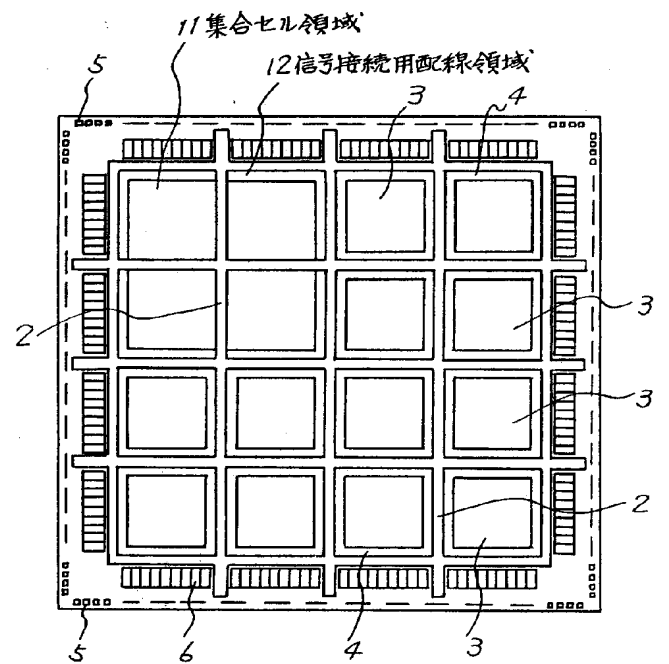
第 1 図



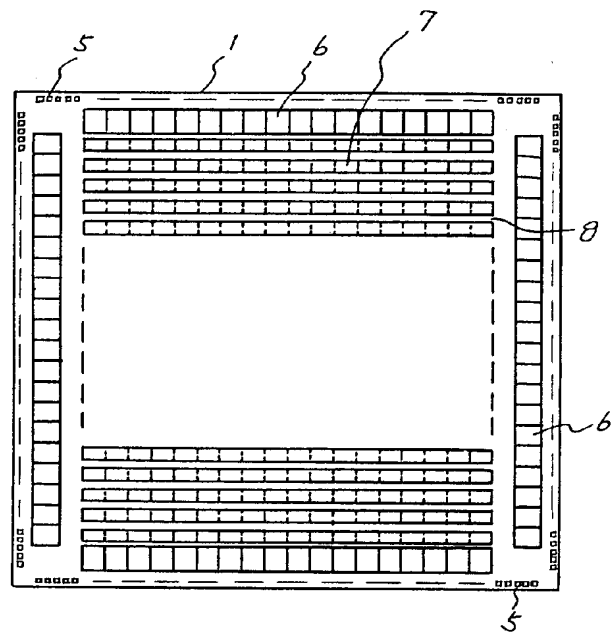
第 2 図



第 3 図



第 4 図



第 5 図